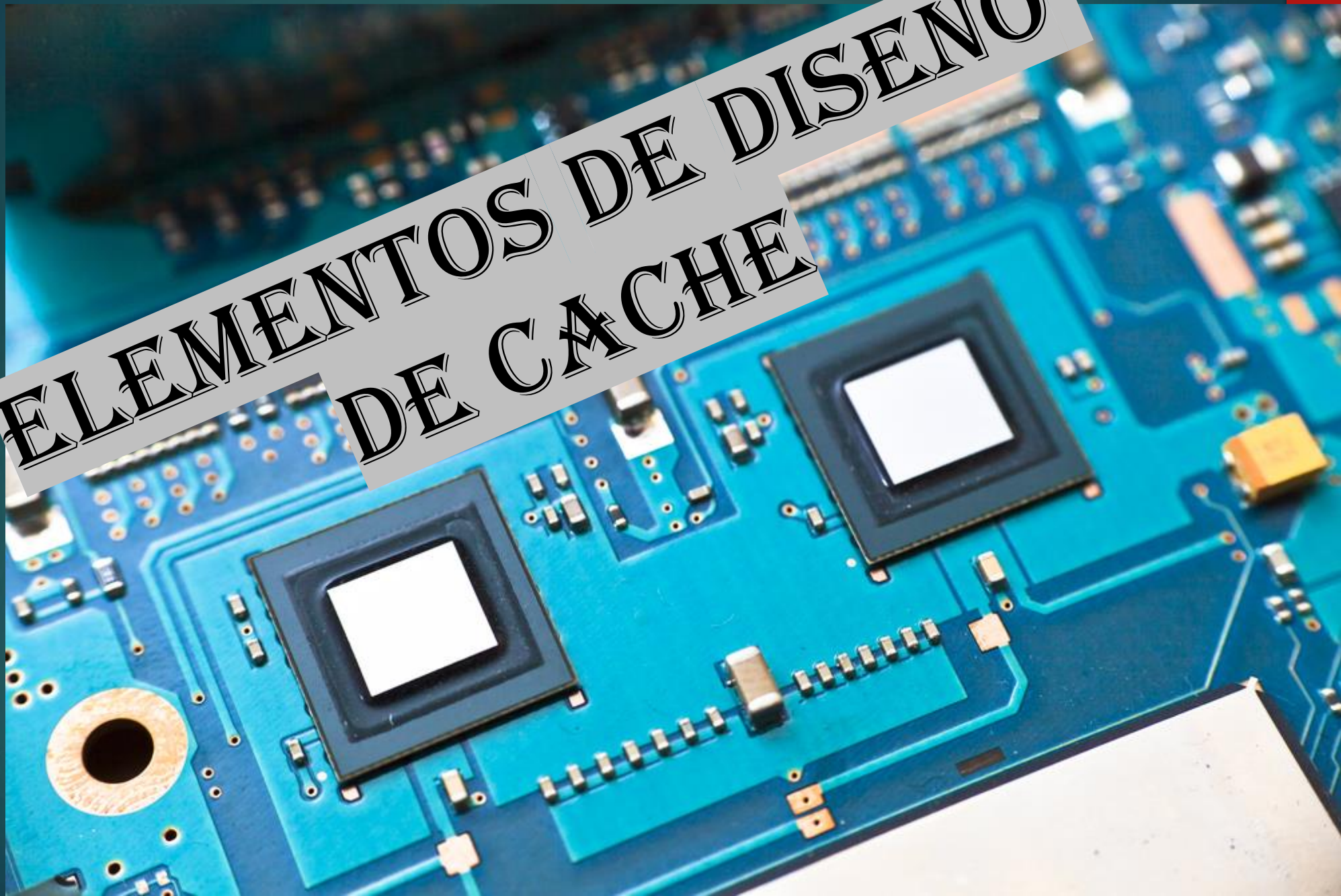


ELEMENTOS DE DISEÑO DE CACHE



TAMAÑO DE CACHÉ.

- ▶ **Se dice que entre más grande es el tamaño de caché, mayor es el número de puertas implicadas en direccionar la caché, por lo tanto cachés grandes son ligeramente más lentas que cachés pequeñas.**

Procesador	Año	Cache L1	Cache L2	Cache L3
IBM 3033	1978	64KB	-	-
Intel 80486	1989	8KB	-	-
Pentium	1993	8KB	256 av 512 KB	-
powerPC 64	1999	32KB	256 / 1MB	2MB
Pentium 4	2000	8KB	256KB	-
Itanium	2001	16KB	96KB	4MB

FUNCIÓN DE CORRESPONDENCIA:

- ▶ **Debido a que existen menos líneas de caché que bloques de memoria principal, es necesario un algoritmo para hacer corresponder los bloques de memoria principal a las líneas de caché.**
- ▶ **De la misma forma es requerido un medio para determinar qué bloque de memoria principal ocupa en su momento una de línea dada de caché.**

ALGORITMOS DE SUSTITUCIÓN:

- ▶ **Para conseguir alta velocidad de comunicación es necesario que los algoritmos sean implementados en hardware.**
- ▶ **El algoritmo más efectivo actualmente es el “utilizado menos recientemente” (LRU, least-recently used), es sustituido el bloque que se ha mantenido más tiempo en caché sin referenciarlo, el algoritmo es aplicado mediante bit para referenciar o no cada bloque** Algoritmos de sustitución: □
Primero en entrar, primero en salir (FIFO). Se sustituye el bloque que ha estado más tiempo en la caché, se aplica mediante la técnica round-robin, de forma cíclica.
- ▶ **Utilizado menos frecuentemente (LFU, least-frequently used). Se sustituye el bloque que ha sido menos referenciado, se implementa asociando un contador a cada línea de caché.**

POLÍTICA DE ESCRITURA:

- ▶ **un bloque antiguo en la caché no debe ser modificado, puede sobrescribirse con el nuevo bloque sin necesidad de actualizar el antiguo.**
- ▶ **Si se ha realizado por lo menos una operación de escritura sobre una palabra de la línea correspondiente de caché, entonces la memoria principal debe ser actualizada, rescribiendo la línea de caché en el bloque de memoria antes de transferir el nuevo bloque**

TÉCNICA – ESCRITURA INMEDIATA

- ▶ **Todas las operaciones de escritura son realizadas en la caché como en memoria principal, y asegura que el contenido de la memoria principal siempre será válido. Para mantener la coherencia de caché cualquier otro módulo de procesador-caché puede monitorizar el tráfico, una desventaja es que se genera mucho tráfico con la memoria y puede originar un cuello de botella.**

Número de cachés:

- ▶ El caché on-chip, reduce la actividad del bus externo del procesador, de esta forma se reduce el tiempo de ejecución y se incrementan las prestaciones globales del sistema. Cuando la instrucción se encuentra en la caché del procesador, se elimina el acceso al bus, de esta forma el bus queda libre para realizar otras transferencias.

Porqué incluir caché L2:

- ▶ Suponiendo que el procesador quiere acceder a una posición de memoria que no se encuentra en el L1, entonces el procesador accederá a la memoria principal mediante el bus, el bus es lento, se reducen prestaciones, por lo tanto, utilizar L2 ayuda a recuperar esa información faltante

Dos características de diseño de las cachés multinivel:

- ▶ Primero.- Para caché L2.- algunos diseños no usan el bus del sistema para las transferencias entre el procesador y la caché L2, utilizan un camino de datos alternativo, y, se reduce el tráfico en el bus de sistema.
- ▶ Segundo.- al reducir las dimensiones de componentes del procesador, se puede incluir en el procesador el nivel L2 de caché, por consiguiente se mejora las prestaciones globales del sistema.

▶ Bibliografía

- ▶ Arquitectura de Computadoras 3ED, Morris Mano; Editorial Prentice Hall.
- ▶ Arquitectura de Computadores, J. Ortega, M. Anguita, A. Prieto; Editorial Paraninfo.
- ▶ https://www.uaeh.edu.mx/docencia/P_Presentaciones/huejutla/sistemas/arquitectura_computadoras/elementos_cache

https://techlandia.com/son-memorias-cache-l1-l2-l3-info_194186/