

A decorative vertical bar on the left side of the slide, featuring a gradient from dark blue to light blue and several orange circles of varying sizes. The title text is positioned to the right of these circles.

# ORGANIZACIÓN DEL CACHE ARM

# ARQUITECTURA ARM

- ARM es un enfoque de diseño basado en RISC permitiendo que los procesadores requieran una menor cantidad de transistores que los procesadores x86.
- Este enfoque de diseño nos lleva por tanto a una reducción de los costes, calor y energía.
- Siendo estas características deseadas para dispositivos que funcionen con baterías, como teléfonos móviles tabletas entre otros.



# ARM Y LA MEMORIA CACHE

- Por tanto la organización de memoria cache ARM ha evolucionado con la arquitectura general de la familia ARM en busca de rendimiento en los procesadores a un bajo coste.

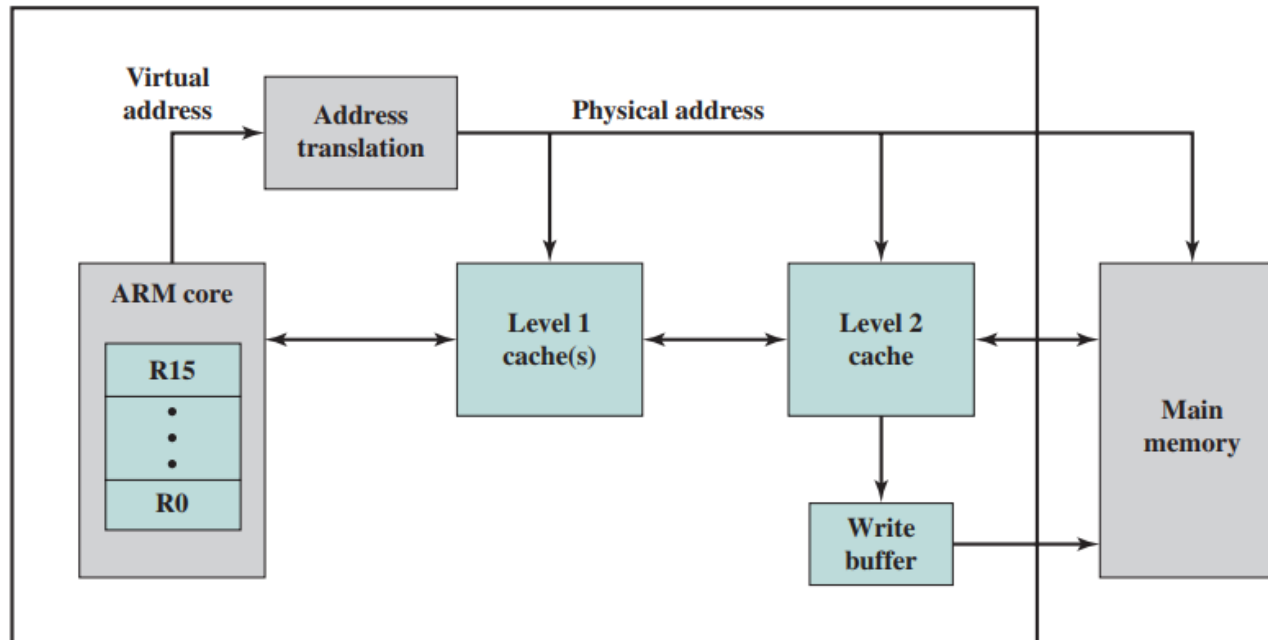
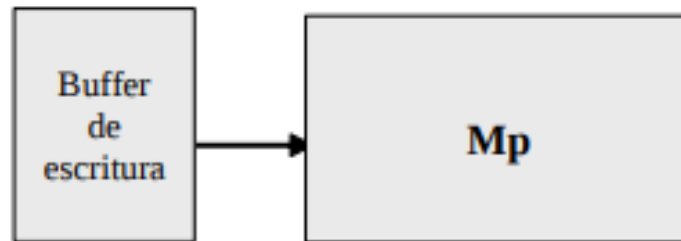
Core	Cache Type	Cache Size (kB)	Cache Line Size (words)	Associativity	Location	Write Buffer Size (words)
ARM720T	Unified	8	4	4-way	Logical	8
ARM920T	Split	16/16 D/I	8	64-way	Logical	16
ARM926EJ-S	Split	4-128/4-128 D/I	8	4-way	Logical	16
ARM1022E	Split	16/16 D/I	8	64-way	Logical	16
ARM1026EJ-S	Split	4-128/4-128 D/I	8	4-way	Logical	8
Intel StrongARM	Split	16/16 D/I	4	32-way	Logical	32
Intel Xscale	Split	32/32 D/I	8	32-way	Logical	32
ARM1136-JF-S	Split	4-64/4-64 D/I	8	4-way	Physical	32

# CARACTERÍSTICA IMPORTANTE DEL ARM CACHE

- Ya que se quiere obtener un buen rendimiento a un bajo coste en recursos se opto por el uso de un pequeño buffer de primer agotamiento (FIFO) para mejorar el rendimiento de escritura de la memoria.
- Por lo que el buffer se interpone entre el cache y la memoria principal el cual consisten en un conjunto de direcciones y un conjunto de palabras (datos)
- Teniendo como objetivo liberar el núcleo del procesador y la memoria cache del tiempo de escritura lento asociado con la escritura en la memoria principal



# FUNCIONAMIENTO DEL BUFFER



GRACIAS POR SU ATENCION

Rivera Pérez Victor Manuel

